

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-177386  
 (43)Date of publication of application : 29.06.2001

(51)Int.Cl. H03K 5/135  
 G06F 1/10  
 G06F 1/12  
 G06F 13/42  
 H03L 7/00  
 H03L 7/081

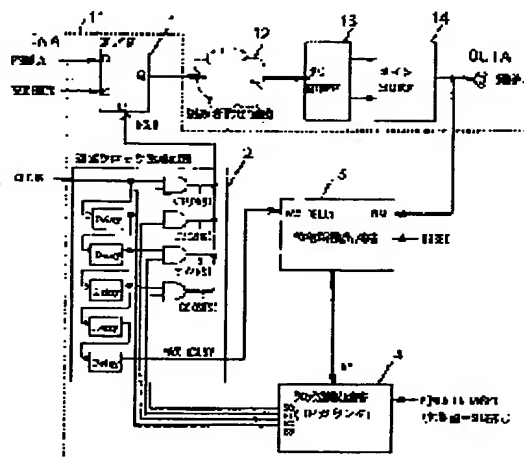
(21)Application number : 11-360240 (71)Applicant : NEC IC MICROCOMPUT SYST LTD  
 (22)Date of filing : 20.12.1999 (72)Inventor : KOGA YOSHIKAZU

## (54) OUTPUT DELAY ADJUSTMENT CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To minimize fluctuations in AC characteristics, between output signals of output circuits operated by a clock signal, and to suppress the fluctuation in the AC characteristics immediately after the operation of the output circuits.

SOLUTION: This output circuit outputs an input signal A with a required delay time. The circuit is provided with a delay adjustment circuit 11, consisting of, an F/F circuit 1 for latching the input signal A, of a delay clock generating circuit 2 that generates delay clocks C0-C3 with different delays and a comparison reference clock MAX-DELAY with a maximum delay from a system clock CLK, of a clock selection circuit 4 that selects any of the delay clocks and uses it for a latch input clock DCLK of the F/F circuit 1, and of a phase difference detection circuit 3 that detects the phase difference between an output signal POA of the output circuit and the comparison reference clock MAX-DELAY. It provides the output of a signal UP which controls the selection of the clock by the clock selection circuit 4, on the basis of the phase difference.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The latch means for being the output circuit which outputs an input signal with a necessary time delay, and latching said input signal, A delayed-clock-generation means to generate two or more delay clocks with which the amounts of delay differ from the clock used as criteria, and the comparison reference clock of max [ amount / of delay ], The clock selection means which chooses said two or more delay clocks, and is made into the latch input clock of said latch means, The output signal of said output circuit and the phase contrast of said comparison reference clock are detected. It has a delay equalization circuit including a phase contrast detection means to control clock selection with said clock selection means based on the phase contrast. Said latch means carries out through [ of said latch input clock ], and it is constituted so that it may be made to output from said output circuit. Said phase contrast detection means outputs the phase contrast detecting signal which drives said clock selection means when said output signal is delayed for said comparison reference clock. Said clock selection means is an output delay equalization circuit characterized by choosing said delay clock from said delayed-clock-generation means as descending of the amount of delay in response to said phase contrast detecting signal.

[Claim 2] It is constituted so that a reset signal may be generated based on the power-on-reset signal outputted at the time of power-source ON. Said latch means is constituted so that it may carry out through [ of said latch input clock ], when said reset signal is active. Said phase contrast detection means is constituted so that the phase contrast of said output signal and comparison reference clock may be detected, when said reset signal is active. Said clock selection means is an output delay equalization circuit according to claim 1 characterized by being constituted so that the delay clock of said delayed-clock-generation means may be chosen, when said reset signal is active.

[Claim 3] Said comparison reference clock is an output delay equalization circuit according to claim 1 or 2 which is set as the maximum amount of delay permitted in said output circuit, and is characterized by generating said delay clock as a delay clock with which the amounts of delay smaller than the amount of delay of said comparison reference clock differ.

[Claim 4] Said clock selection means is constituted so that the amount of delay may choose the greatest delay clock among said delay clocks at the time of initialization. Until it chooses the delay clock with which the amount of sequential delay becomes small sequential and said phase contrast detecting signal is no longer inputted, whenever said phase contrast detecting signal is inputted Or the output delay equalization circuit according to claim 1 to 3 characterized by being constituted so that said selection actuation may be performed until the amount of delay chooses the minimum delay clock.

[Claim 5] Said output circuit is an output delay equalization circuit according to claim 1 to 4 characterized by having a combinational circuit, PURIBAFFA, and a main buffer between an input terminal and an output terminal, and inputting into said phase contrast detection means by making into said output signal the signal outputted from said output terminal, or the signal inputted into said PURIBAFFA.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the output delay equalization circuit which made it possible to suppress fluctuation of the AC characteristics by the delay in the output terminal of each output circuit differing, respectively to the minimum in two or more output circuits of the clock synchronous system in a semiconductor device.

[0002]

[Description of the Prior Art] The output circuit established in a semiconductor device is connected with the semiconductor device of the others in a system board top generally, and AC timing is specified in the output terminal. In recent years, the cycle time becomes short by improvement-ization of a speed of a semiconductor device of operation, and the demand of such [ still ] AC timing is becoming severe by the margin on manufacture, the variation of a property, change of temperature, change of supply voltage, etc. The configuration which synchronizes output timing with an external clock is proposed about the output timing of synchronous semiconductor memory as it is indicated by JP,10-112182,A in order to respond to such a request for example. The same technique is a configuration which chooses and outputs what synchronizes with an external input signal among those which delayed the clock which it is proposed also in JP,8-154051,A and JP,11-72540,A, for example, is going to output with the technique of JP,8-154051,A by the tapped delay element.

[0003]

[Problem(s) to be Solved by the Invention] The problem that where of it is difficult to fill the demand of the AC characteristics immediately after an output's arising when it is the first stage which has not taken the synchronization, since it is the technique carry out the phase comparison of an input signal and the output signal, change the amount of delay of an output signal based on the phase comparison result, and adjust the output timing, and starting actuation at the event of the first stage, i.e., a circuit, with the technique indicated by these official reports arises. Moreover, apply the technique of each of said official report to one circuit, and it is set among two or more output circuits which synchronize with the clock of a semiconductor device. By fluctuation of a circuit, a layout, a process or a temperature change, supply voltage, etc. When fluctuation of the AC characteristics between two or more [ because delay of output data is different for two or more output circuits of every, respectively ] output circuits arises With the configuration to which output timing is changed in each between two or more output circuits, it becomes difficult to double the phase of each output timing between two or more circuits, and it becomes difficult to control fluctuation of the AC characteristics between each output circuit.

[0004] The object of this invention offers the output delay equalization circuit which made it possible to suppress fluctuation of the AC characteristics between each output terminal of two or more output circuits by which clock actuation is carried out to the minimum. Moreover, the object of this invention offers an output delay equalization circuit with little fluctuation of AC characteristics from immediately after actuation of a circuit.

[0005]

[Means for Solving the Problem] The latch means for this invention being an output circuit which has a necessary time delay and outputs an input signal, and latching said input signal, A

delayed-clock-generation means to generate two or more delay clocks with which the amounts of delay differ from the clock used as criteria, and the comparison reference clock of max [ amount / of delay ], The clock selection means which chooses said two or more delay clocks, and is made into the latch input clock of said latch means, The output signal of said output circuit and the phase contrast of said comparison reference clock are detected. It has the delay equalization circuit including a phase contrast detection means to control clock selection with said clock selection means based on the phase contrast. Said latch means carries out through [ of said latch input clock ], and it is constituted so that it may be made to output from said output circuit. Said phase contrast detection means outputs the phase contrast detecting signal which drives said clock selection means when said output signal is delayed for said comparison reference clock. It is characterized by said clock selection means choosing said delay clock from said delayed-clock-generation means as descending of the amount of delay in response to said phase contrast detecting signal.

[0006] It is constituted so that a reset signal may be generated here based on the power-on-reset signal outputted at the time of power-source ON. Said latch means is constituted so that it may carry out through [ of said latch input clock ], when said reset signal is active. Said phase contrast detection means is constituted so that the phase contrast of said output signal and comparison reference clock may be detected, when said reset signal is active. When said reset signal is active, said clock selection means is constituted so that the delay clock of said delayed-clock-generation means may be chosen. Moreover, said comparison reference clock is set as the maximum amount of delay permitted in said output circuit, and said delay clock is generated as a delay clock with which the amounts of delay smaller than the amount of delay of said comparison reference clock differ.

[0007] The output signal outputted in this invention by delaying the 1st delay clock of the necessary amount of delay by the output circuit, Phase contrast with the comparison reference clock of the maximum amount of delay permitted in the output circuit concerned is detected. By changing said 1st delay clock to the 2nd [ with few amounts of delay ], and 3rd delay clock one by one, and choosing it from it as it, when the phase of said output signal is behind the phase of a comparison reference clock It sees relatively by bending forward the latch input clock by which through is carried out in a latch means, namely, shifting with a phase near at hand, upper output delay is made small, and it becomes possible to press down fluctuation of the AC characteristics between two or more output circuits which synchronize with a clock to the minimum.

[0008]

[Embodiment of the Invention] Next, the operation gestalt of this invention is explained with reference to a drawing. Drawing 1 is the block diagram of one circuit of the output delay equalization circuit of this invention, and has the composition of having established the delay equalization circuit 11 in the output circuit containing a combinational circuit 12, PURIBAFFA 13, and a main buffer 14. Although outputted from an output terminal OUTA through the delay equalization circuit 11, a combinational circuit 12, PURIBAFFA 13, and a main buffer 14, internal data signal A inputted into an input terminal INA is constituted in said delay equalization circuit 11 so that the output timing in an output terminal OUTA may be adjusted. Said delay equalization circuit 11 consists of the flip-flop circuit (F/F circuit) 1 which mentions a detail later, respectively, a delayed-clock-generation circuit 2, a phase contrast detector 3, and a clock selection circuitry 4. In addition, for this contractor, said PURIBAFFA 13 and main buffer 14 are known well, and omit explanation of the detailed configuration.

[0009] Said F/F circuit 1 has composition which outputs through latch input-clock DCLK inputted into the clock edge C during the input period of reset-signal RESET to an outgoing end Q. Drawing 2 is the circuit diagram of the example, it consists of a NAND gate, an inverter, the transfer gate, etc., and in a real busy condition, internal data signal A is inputted into the data edge D, and internal data signal A is outputted to an outgoing end Q to the standup timing of said latch input-clock DCLK. Reset-signal RESET is inputted, during the period of high level, said internal data signal A is not outputted to an outgoing end Q, but said latch input-clock DCLK is through outputted to an outgoing end Q.

[0010] Said delayed-clock-generation circuit 2 has composition which generates comparison

reference clock MAX-DELAY while generating the clocks C0-C3 of a delay value with which plurality differs from the system clock CLK inside a chip. Drawing 3 is the circuit diagram of the example, and it outputs the delay clocks C3, C2, C1, and C0, respectively from the input side of the 1st delay element D1, and the output side of the 1st thru/or the 3rd delay element D1-D3 while it carries out cascade connection of the 1st to 5th five delay element D1-D5 which has delay of 2NS(s) (nanosecond) to said system clock CLK, respectively. That is, each amount of delay of these delay clocks C3, C2, C1, and C0 serves as 0NS, 2NS, 4NS, and 6NS, respectively. Moreover, said each delay clocks C3-C0 are chosen by the clock selection signals S3-S0 later mentioned in the AND gate, respectively, and are outputted as said latch input-clock DCLK. Moreover, from said 5th delay element D5, comparison reference clock MAX-DELAY which has the amount of delay of 10NS(s) to a system clock CLK is generated and outputted.

[0011] Said phase contrast detector 3 has composition which outputs the phase contrast detecting signal UP which compares the output POA of said main buffer 14 with comparison reference clock MAX-DELAY outputted from said delayed-clock-generation circuit 2, and performs clock selection by said clock selection circuitry 4. Drawing 4 is the circuit diagram of the example, if comparison reference clock MAX-DELAY outputted from said delayed-clock-generation circuit 2 is inputted, will detect a rising edge in the rising edge detector 30 which consists of a delay element, an inverter, and the AND gate, and will output rising edge signal R-EDG. Moreover, the output POA outputted to said comparison reference clock MAX-DELAY and said output terminal is measured in an exclusive OR gate, the comparison signal EOR is outputted, said edge signal R-EDG, EOR, and a RESET signal are taken further in the AND gate, and the output is outputted as a phase contrast detecting signal UP through the Schmidt buffer. This has [ that it is under / of reset-signal RESET / input period / except ] the composition that the phase contrast detecting signal UP is not outputted, and the phase contrast detecting signal UP is not outputted when the phase of an output POA is earlier than comparison reference clock MAX-DELAY. In addition, the Schmidt buffer is for preventing malfunction by the mustache by the phase shift with delicate comparison reference clock MAX-DELAY and output POA.

[0012] Said clock selection circuitry 4 is POWER which becomes active at a power up. With the ONRESET signal, it has composition which outputs the clock selection signal S0 and outputs the clock selection signals S1, S2, and S3 sequential by the phase contrast detecting signal UP from said phase contrast detector 3. Drawing 5 is the circuit diagram of the example, and is considered as the configuration of UP counter by two or more AND gate, NOR gate, and F/F circuits 40 and 41. Power-on-reset signal POWER which becomes active at a power up ON Only at the time of the standup of RESET, the clock selection signal S0 is chosen as initializing. And if the phase contrast detecting signal UP outputted from the phase contrast detector 3 becomes active, a clock selection signal will change to S1 from S0, and if the phase contrast detecting signal UP becomes active further, a clock selection signal will change to S2 from S2 still more nearly similarly from S1 S3. In addition, once S3 is chosen, even if the phase contrast detecting signal UP will become active more than it, it is the power-on-reset signal POWER. ON While RESET is active, it will be in the condition that S3 was chosen.

[0013] Thus, the delayed-clock-generation circuit 2 receives the clock selection signals S0-S3 chosen from the clock selection circuitry 4, chooses the clocks C0-C3 with each delay value from a system clock CLK, and outputs actuation of said constituted delay equalization circuit 11 as latch input-clock DCLK. Moreover, from the delayed-clock-generation circuit 2, comparison reference clock MAX-DELAY which gave the greatest permissible differential delay is outputted. Said latch input-clock DCLK detects the signal POA outputted from an output terminal OUTÁ through a combinational circuit 12, PURIBAFFA 13, and a main buffer 14, and phase contrast with said comparison reference clock MAX-DELAY from the F/F circuit 1, and the phase contrast detector 3 activates the phase contrast detecting signal UP, when the signal of an output terminal is behind comparison reference clock MAX-DELAY. The clock selection circuitry 4 is the power-on-reset signal POWER in a power up. ON Although the clock selection signal S0 is chosen by RESET and outputted, whenever the phase contrast detecting signal UP becomes active, a clock selection signal is outputted with a sequential change from

S0 to S3. Therefore, latch input-clock DCLK outputted from the delayed-clock-generation circuit 2 will be chosen with a sequential change from the delay clock C0 to C3, whenever the phase contrast detecting signal UP becomes active.

[0014] Next, actuation of an output circuit including the delay equalization circuit of drawing 1 is explained. In addition, the clock inputted into the F/F circuit 1 which determines the clock synchronization timing of a terminal output as a prerequisite of the output circuit of this operation gestalt. Even if a clock with a certain amount of delay and the clock which was in 6NS phase to the system clock CLK here are inputted to the system clock CLK in a chip. It is contingent [ on that nonconformity actuation of leaking-out \*\* does not break out, and the internal data signal inputted into the F/F circuit 1 being checked and set up ]. Moreover, the output delay authorization value from the clocked into of the F/F circuit 1 to an output terminal A is beforehand decided at the time of the design of a chip. With this operation gestalt, said comparison reference clock MAX-DELAY which has determined the output delay authorization value as 4NS(s), therefore is supplied to said phase contrast detector 3 is giving delay of 4NS(s). In addition, this invention is 2 in order to make actuation of this invention more intelligible, since it is adapted in two or more output terminals and the improvement of the AC characteristics between two or more of the terminals is aimed at. The process in which the delay equalization circuit 11 operates and goes is explained after that to be the condition before the delay equalization circuit 11 operates between the output terminals of a book using a timing chart.

[0015] First, the block diagram of drawing 6 and a timing chart explain the condition before the delay equalization circuit 11 operates. 4NS delay of the output delay in the output terminal OUTB of the output circuit CB where 8NS delay of the output delay in the output terminal OUTA of the output circuit CA where internal data signal A is inputted is carried out from the F/F circuit 1, and internal data signal B is inputted shall be carried out from the F/F circuit 1. In addition, both are in phase although DCLK' and latch input Krol of an output circuit CB are shown for the latch input clock of an output circuit CA as DCLK for convenience here. Therefore, internal data signal A is made into an ADDR signal, and internal data signal B is made into an ASTB signal, and the margin of the address setup time (tSAST) serves as 11NS(s) (=15NS+4NS-8NS) from 30NS(s), then (Duty is 50%) a timing chart in one period of an input clock.

[0016] Next, the process in which the delay equalization circuit 11 operates is explained. As shown in the timing chart of drawing 7, it is the power-on-reset signal POWER of the power up of an output circuit. ON The clock selection circuitry 4 is initialized by RESET and the clock selection signal S0 is chosen. Then, in the delayed-clock-generation circuit 2, the delay clock C0 is outputted as latch input-clock DCLK inputted into the F/F circuit 1 in response to this clock selection signal S0. Moreover, power-on-reset signal POWER Since latch input-clock DCLK inputted into the F/F circuit 1 during the RESET signal input period when between predetermined time is continued by ONRESET is through outputted to an outgoing end Q, a part is inputted into the phase contrast detector 3 as an output POA at the same time the clock from the outgoing end Q concerned results in an output terminal OUTA through a combinational circuit 12, PURIBAFFA 13, and a main buffer 14. On the other hand, it is generated in the delayed-clock-generation circuit 2, and comparison reference clock MAX-DELAY beforehand decided to have described above at the time of a design is inputted into the phase contrast detector 3.

[0017] And in the phase contrast detector 3, like the timing chart of drawing 8, the phase contrast of an output POA and comparison reference clock MAX-DELAY is detected, and rising edge signal R-EDG and the comparison signal EOR are outputted. And when the phase of comparison reference clock MAX-DELAY is progressing rather than the output POA, the phase contrast detecting signal UP is outputted. In addition, when the phase of an output POA is progressing rather than comparison reference clock MAX-DELAY, or when both delay is equal (when there are few amounts of delay), the AND of rising edge signal R-EDG and the comparison signal EOR is taken, and the phase contrast detecting signal UP is not outputted.

[0018] In response to said phase contrast detecting signal UP, the phase contrast detecting signal UP is counted by the clock selection circuitry 4. In an output circuit CA, like drawing 8

(a), the time delays from P points (refer to drawing 3 ) of the delayed-clock-generation circuit 2 to an output POA are 8NS(s), and, for a certain reason, the phase contrast detecting signal UP becomes [ phase contrast with comparison reference clock MAX-DELAY ] active 4 NSs (\*\*). Thereby, the clock selection circuitry 4 changes from the clock selection signal S0 to S1, and latch input-clock DCLK from the delayed-clock-generation circuit 2 is changed from the delay clock C0 to C1 in connection with this (\*\*).

[0019] After that, similarly, the phase contrast of comparison reference clock MAX-DELAY and an output POA is checked, and, for a certain reason, the phase contrast detecting signal UP becomes [ phase contrast ] active 2 NSs here (\*\*). Thereby, a clock selection signal changes to S2 from S1, and latch input-clock DCLK is changed from the delay clock C1 to C2 (\*\*). Thus, the change of the delay clock as latch input-clock DCLK is performed until the phase contrast of comparison reference clock MAX-DELAY and an output POA is lost during the period when the system clock CLK is operating [ reset-signal RESET ] by the active state or it changes to the delay clock C3. In addition, after choosing the clock selection signal S3, even if the phase contrast detecting signal UP becomes active in the clock selection circuitry 4, it is the power-on-reset signal POWER. ON Unless RESET is inputted, it is the circuit which chooses the clock selection signal S3. By this, when the difference of the delay value of comparison reference clock MAX-DELAY in the phase detector 3 and an output POA is not lost, even if the phase contrast detecting signal UP continues outputting, the clock selection signal S3 will continue being chosen.

[0020] On the other hand, in an output circuit CB, like drawing 8 (b), the time delays from P points (refer to drawing 3 ) of the delayed-clock-generation circuit 2 to an output POB are 4NS (s), and in order that there may be no phase contrast with comparison reference clock MAX-DELAY, the phase contrast detecting signal UP is not outputted (\*\*). Thereby, the clock selection circuitry 4 continues choosing the clock selection signal S0, and, as for latch input-clock DCLK, the delay clock C0 is chosen.

[0021] Although the output terminal OUTA of an output circuit CA and the output terminal OUTB of an output circuit CB were behind in the output POA in early stages 4 NSs with the above actuation compared with the output POB, the differential delay of both the outputs POA and POB will be lost by changing latch input-clock DCLK in an output circuit CA into the delay clock C2 from the delay clock C0.

[0022] By consequently, the thing for which latch input-clock DCLK' of an initial state to the F/F circuit 1 of an output circuit CA turns into latch input-clock DCLK' of the condition after setting out so that the timing chart of drawing 9 may show The address setup time (tSAST) which consists of an ADDR signal of an output circuit CA, and an ASTB signal of an output circuit CB It is set to 15NS (=15NS+4NS-8NS+4NS), and the address setup margin of 4NS is able to be secured from the conventional 11NS(s) shown in drawing 6 R> 6.

[0023] Moreover, in order that the delay equalization circuit of an output circuit itself may judge the amount of delay and it may change output timing, even if there is change of the variation in a circuit, or a layout and a property, temperature, or supply voltage, AC characteristics can be guaranteed within set-up limits. Furthermore, since it has composition which can complete delay adjustment during the input period of reset-signal RESET from powering on, after reset discharge, output delay adjustment has been performed and desired actuation can be expected promptly.

[0024] Drawing 10 is the block diagram of the 2nd operation gestalt of this invention, and has given the same sign to the part equivalent to drawing 1 . The point constituted from this 2nd operation gestalt so that phase contrast with comparison reference clock MAX-DELAY may be detected in the phase contrast detector 3 by considering the output of a combinational circuit 12 as an output POA differs from said 1st operation gestalt. That is, in two or more output circuits, you consider that a delay value until it is outputted by the output terminal OUTA through a main buffer 14 from the input of PURIBAFFA 13 is the almost same amount of delay. Therefore, if the amount of delay in these buffers is calculated beforehand and phase contrast will be detected in the phase contrast detector 3 based on the output of the combination circuit 12, it will become possible to lose the differential delay of each output of two or more output circuits like said 1st operation gestalt.



[0025]

[Effect of the Invention] The output signal with which the 1st delay clock of the necessary amount of delay by which through was carried out in the latch means at the time of the reset for [ this invention ] powering on is outputted by being delayed by the output circuit as explained above, Phase contrast with the comparison reference clock of the maximum amount of delay permitted in the output circuit concerned is detected. By changing said 1st delay clock to the 2nd [ with few amounts of delay ], and 3rd delay clock one by one, and choosing it from it as it, when the phase of the output signal concerned is behind the phase of a comparison reference clock By bending forward the latch input clock by which through is carried out in said latch means, namely, shifting with a phase near at hand, it sees relatively and upper output delay can be made small. It becomes possible to enable this to suppress fluctuation of the AC characteristics between each output terminal of two or more output circuits by which clock actuation is carried out to the minimum, and to control fluctuation of AC characteristics from immediately after actuation of an output circuit.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**PRIOR ART**

---

[Description of the Prior Art] The output circuit established in a semiconductor device is connected with the semiconductor device of the others in a system board top generally, and AC timing is specified in the output terminal. In recent years, the cycle time becomes short by improvement-ization of a speed of a semiconductor device of operation, and the demand of such [ still ] AC timing is becoming severe by the margin on manufacture, the variation of a property, change of temperature, change of supply voltage, etc. The configuration which synchronizes output timing with an external clock is proposed about the output timing of synchronous semiconductor memory as it is indicated by JP,10-112182,A in order to respond to such a request for example. The same technique is a configuration which chooses and outputs what synchronizes with an external input signal among those which delayed the clock which it is proposed also in JP,8-154051,A and JP,11-72540,A, for example, is going to output with the technique of JP,8-154051,A by the tapped delay element.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**TECHNICAL PROBLEM**

---

[Problem(s) to be Solved by the Invention] The problem that where of it is difficult to fill the demand of the AC characteristics immediately after an output's arising when it is the first stage which has not taken the synchronization , since it is the technique carry out the phase comparison of an input signal and the output signal , change the amount of delay of an output signal based on the phase comparison result , and adjust the output timing , and starting actuation at the event of the first stage , i.e. , a circuit , with the technique indicated by these official reports arises . Moreover, apply the technique of each of said official report to one circuit, and it is set among two or more output circuits which synchronize with the clock of a semiconductor device. By fluctuation of a circuit, a layout, a process or a temperature change, supply voltage, etc. When fluctuation of the AC characteristics between two or more [ because delay of output data is different for two or more output circuits of every, respectively ] output circuits arises With the configuration to which output timing is changed in each between two or more output circuits, it becomes difficult to double the phase of each output timing between two or more circuits, and it becomes difficult to control fluctuation of the AC characteristics between each output circuit.

[0004] The object of this invention offers the output delay equalization circuit which made it possible to suppress fluctuation of the AC characteristics between each output terminal of two or more output circuits by which clock actuation is carried out to the minimum. Moreover, the object of this invention offers an output delay equalization circuit with little fluctuation of AC characteristics from immediately after actuation of a circuit.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the output delay equalization circuit of the 1st operation gestalt of this invention.

[Drawing 2] It is the circuit diagram of a F/F circuit.

[Drawing 3] It is the circuit diagram of a delayed-clock-generation circuit.

[Drawing 4] It is the circuit diagram of a phase contrast detector.

[Drawing 5] It is the circuit diagram of a clock selection circuitry.

[Drawing 6] It is drawing showing the AC characteristics in two output circuits where the delay in the former differs.

[Drawing 7] It is the timing chart of the reset action by power on reset.

[Drawing 8] It is a timing chart for explaining each delay adjustment actuation in two output circuits where delay differs.

[Drawing 9] It is drawing showing the AC characteristics in the output circuit where the delay in this invention differs.

[Drawing 10] It is the block diagram of the output delay equalization circuit of the 2nd operation gestalt of this invention.

[Description of Notations]

1 F/F Circuit

2 Delayed-Clock-Generation Circuit

3 Phase Contrast Detector

4 Clock Selection Circuitry

11 Delay Equalization Circuit

12 Combinational Circuit

13 PURIBAFFA

14 Main Buffer

CLK System clock

DCLK, DCLK' Latch input clock

MAX-DELAY Comparison reference clock

POA, POB Output

RESET Reset signal

POWER ON RESET Power-on-reset signal

---

[Translation done.]

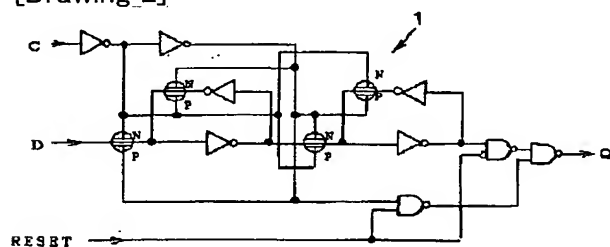
# \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

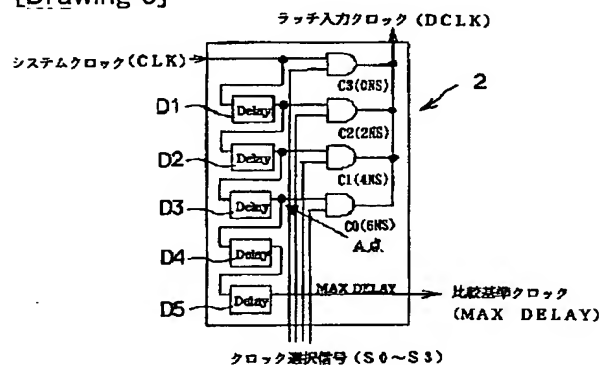
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

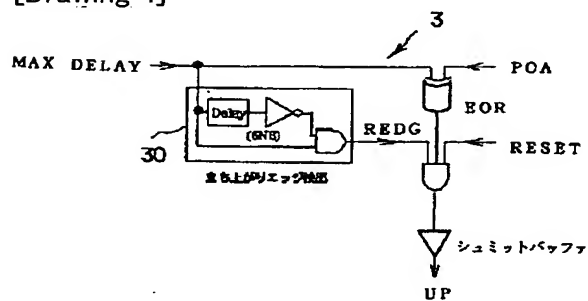
[Drawing 2]



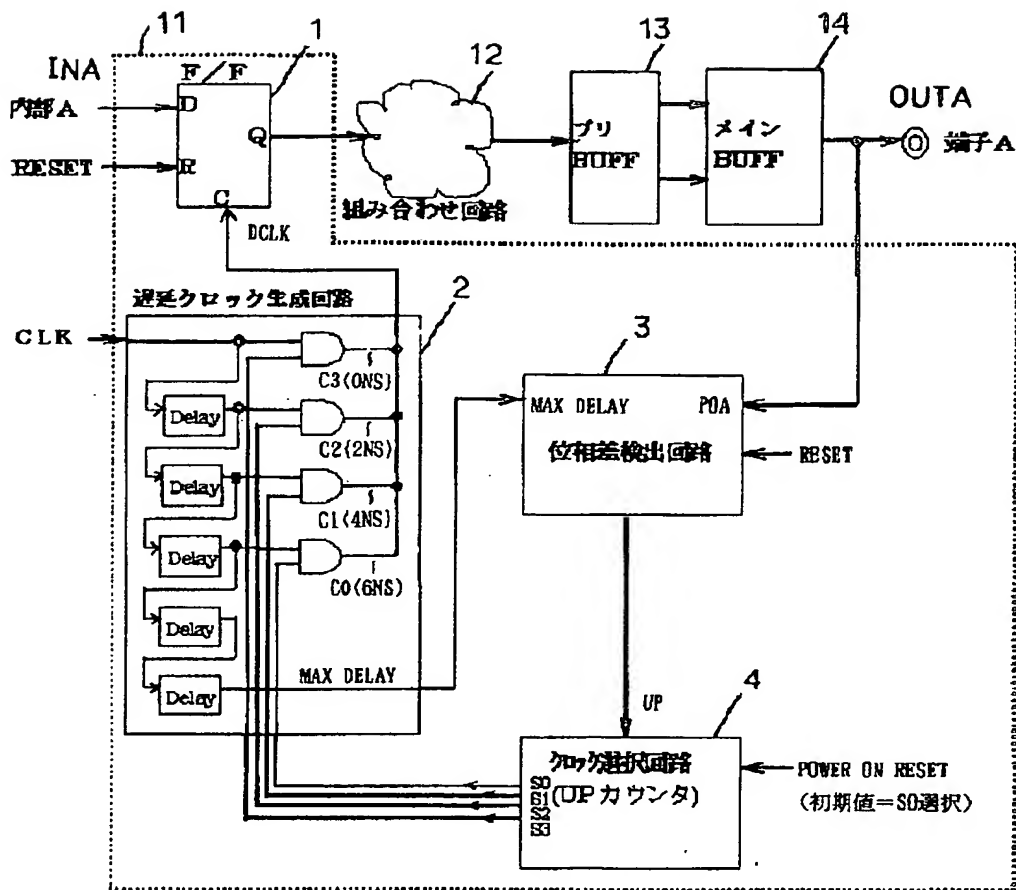
[Drawing 3]



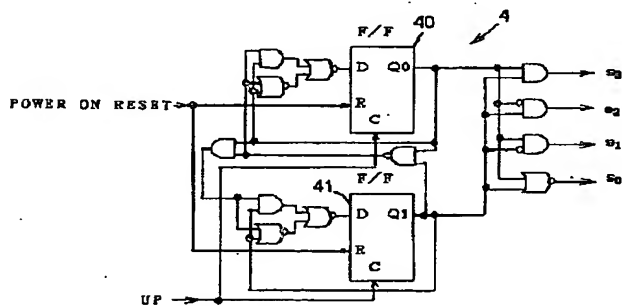
[Drawing 4]



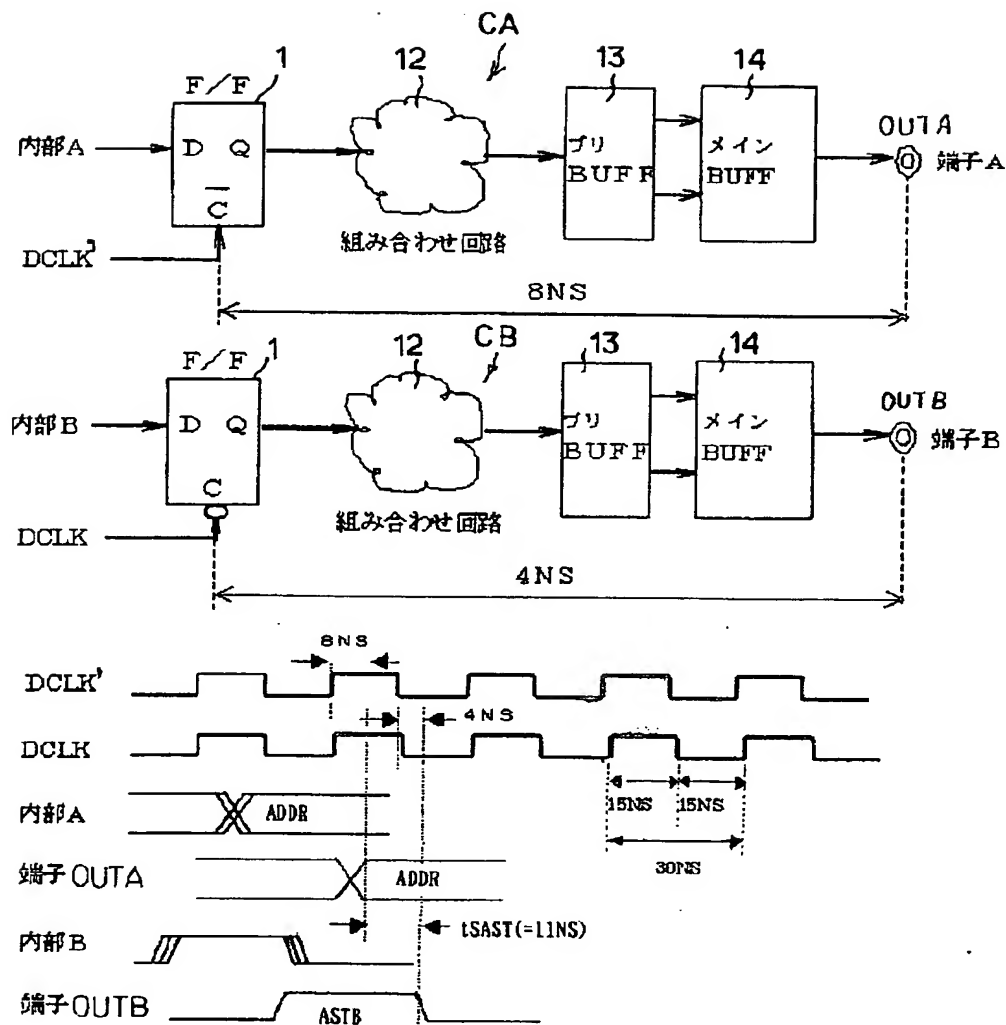
[Drawing 1]



[Drawing 5]



[Drawing 6]



[Drawing 7]

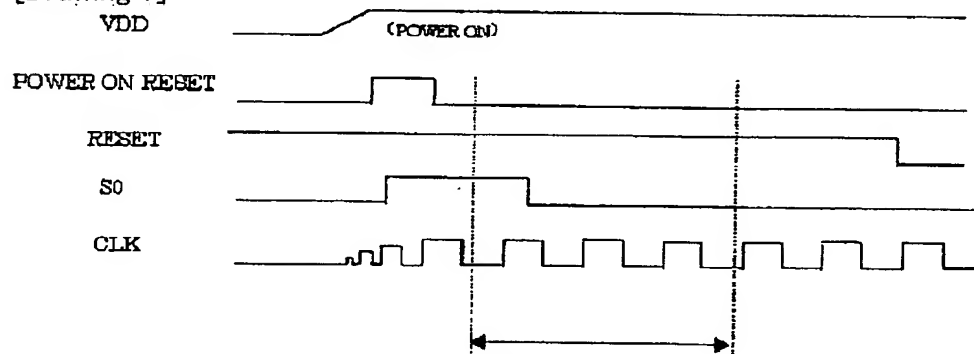
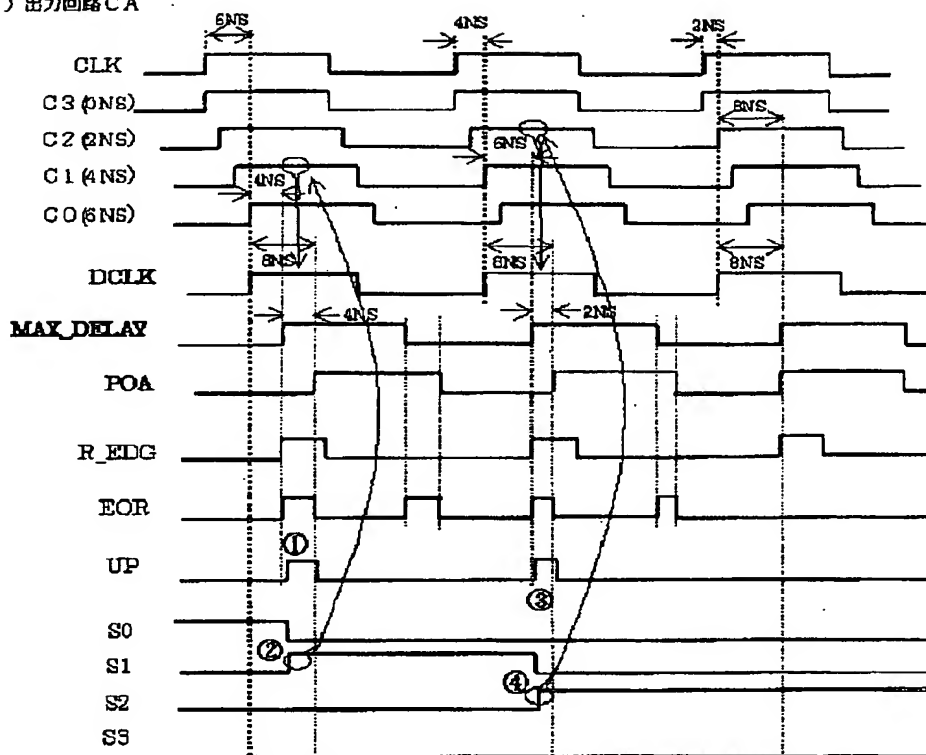


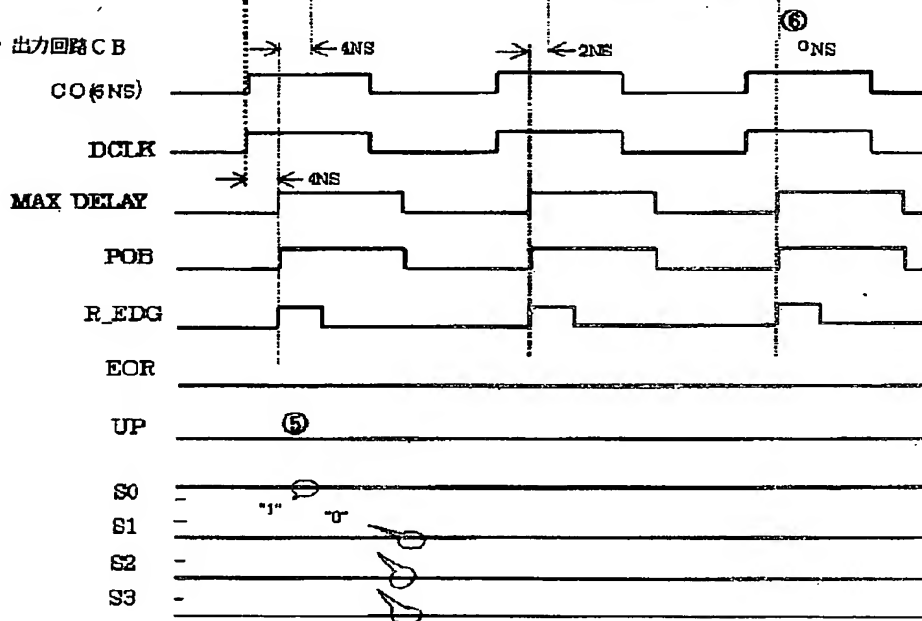
図8のタイミングチャート

[Drawing 8]

(a) 出力回路CA

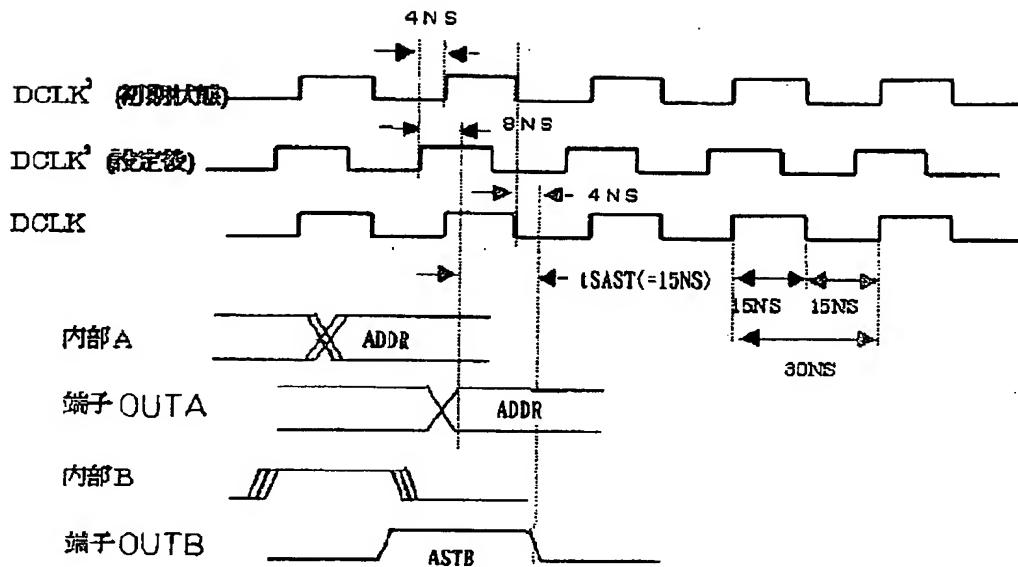


(b) 出力回路CB

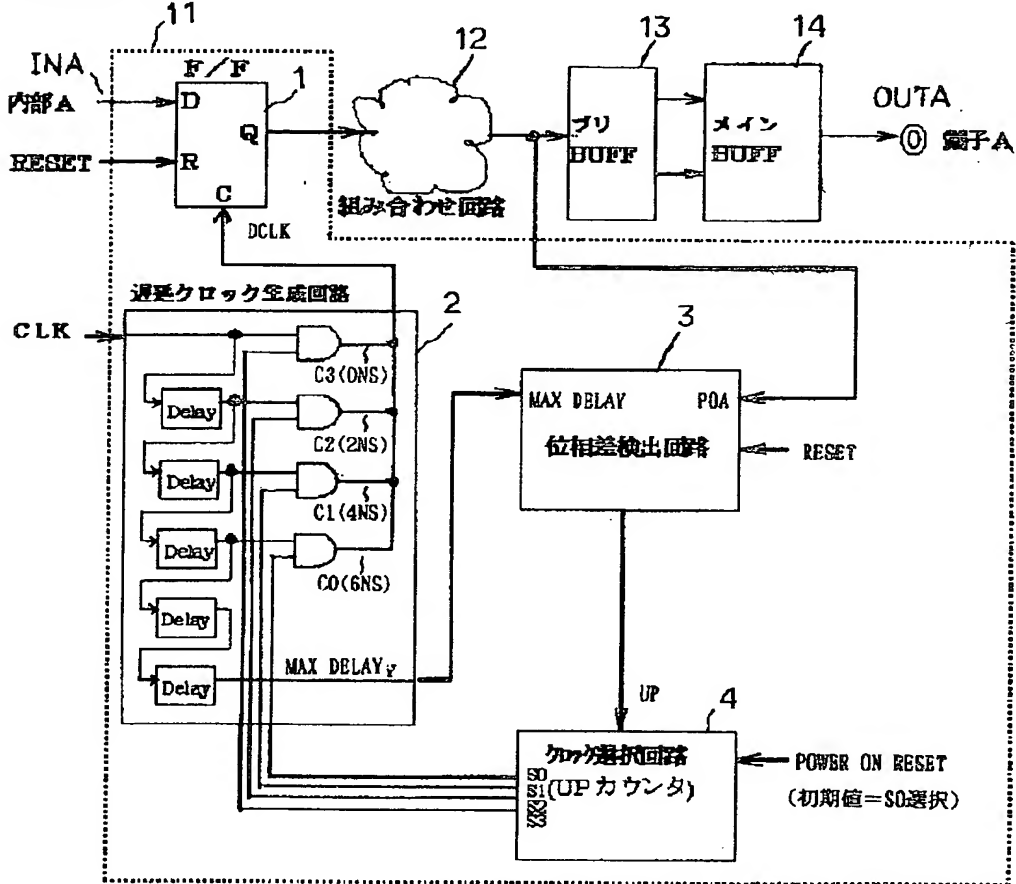


[Drawing 9]





[Drawing 10]



[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177386

(P2001-177386A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 3 K 5/135		H 0 3 K 5/135	5 B 0 7 7
G 0 6 F 1/10		G 0 6 F 13/42	3 5 0 B 5 B 0 7 9
1/12		H 0 3 L 7/00	D 5 J 0 0 1
13/42	3 5 0	G 0 6 F 1/04	3 3 0 A 5 J 1 0 6
H 0 3 L 7/00			3 4 0 D

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平11-360240

(22) 出願日 平成11年12月20日 (1999. 12. 20)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 古閑 芳和

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100081433

弁理士 鈴木 章夫

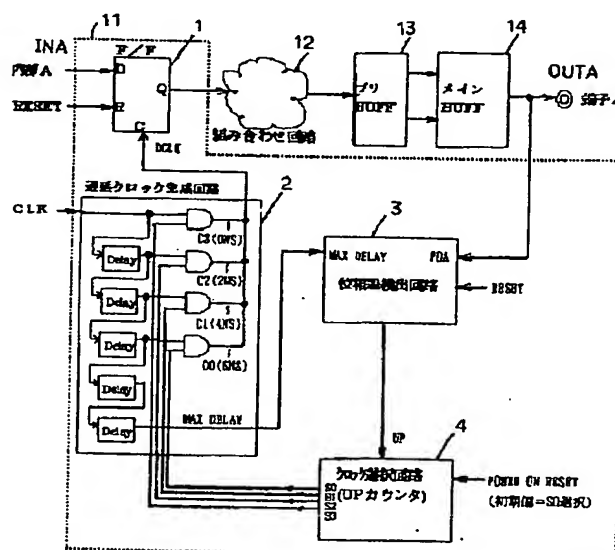
最終頁に続く

## (54) 【発明の名称】 出力遅延調整回路

(57) 【要約】 (修正有)

【課題】 クロック動作される複数の出力回路の各出力端子間におけるAC特性の変動を最小限に抑え、かつ出力回路の動作直後からAC特性の変動を抑制することを可能にする。

【解決手段】 入力信号Aを所要の遅延時間をもって出力する出力回路であって、入力信号AをラッチするためのF/F回路1と、システムクロックCLKから遅延量の異なる複数の遅延クロックC0～C3と遅延量が最大の比較基準クロックMAX-DELAYとを生成する遅延クロック生成回路2と、前記複数の遅延クロックを選択してF/F回路1のラッチ入力クロックDCLKとするクロック選択回路4と、出力回路の出力信号POAと比較基準クロックMAX-DELAYの位相差を検出し、その位相差に基づいてクロック選択回路4でのクロック選択を制御する信号UPを出力する位相差検出回路3を含む遅延調整回路11を備える。



## 【特許請求の範囲】

【請求項 1】 入力信号を所要の遅延時間をもって出力する出力回路であって、前記入力信号をラッチするためのラッチ手段と、基準となるクロックから遅延量の異なる複数の遅延クロックと遅延量が最大の比較基準クロックとを生成する遅延クロック生成手段と、前記複数の遅延クロックを選択して前記ラッチ手段のラッチ入力クロックとするクロック選択手段と、前記出力回路の出力信号と前記比較基準クロックの位相差を検出し、その位相差に基づいて前記クロック選択手段でのクロック選択を制御する位相差検出手段とを含む遅延調整回路を備え、前記ラッチ手段は前記ラッチ入力クロックをスルーして前記出力回路から出力させるように構成され、前記位相差検出手段は前記出力信号が前記比較基準クロックよりも遅延されているときに前記クロック選択手段を駆動する位相差検出信号を出力し、前記クロック選択手段は前記位相差検出信号を受けて前記遅延クロック生成手段から遅延量の大きい順に前記遅延クロックを選択することを特徴とする出力遅延調整回路。

【請求項 2】 電源オン時に出力されるパワーオンリセット信号に基づいてリセット信号が生成されるように構成され、前記ラッチ手段は前記リセット信号がアクティブのときに前記ラッチ入力クロックをスルーするように構成され、前記位相差検出手段は前記リセット信号がアクティブのときに前記出力信号と比較基準クロックとの位相差を検出するように構成され、前記クロック選択手段は前記リセット信号がアクティブのときに前記遅延クロック生成手段の遅延クロックの選択を行うように構成されていることを特徴とする請求項 1 に記載の出力遅延調整回路。

【請求項 3】 前記比較基準クロックは、前記出力回路において許容される最大の遅延量に設定され、前記遅延クロックは前記比較基準クロックの遅延量よりも少ない遅延量の異なる遅延クロックとして生成されていることを特徴とする請求項 1 または 2 に記載の出力遅延調整回路。

【請求項 4】 前記クロック選択手段は、初期設定時は前記遅延クロックのうち遅延量が最大の遅延クロックを選択するように構成され、前記位相差検出信号が入力される毎に順次遅延量が小さくなる遅延クロックを順的に選択し、前記位相差検出信号が入力されなくなるまで、あるいは遅延量が最小の遅延クロックを選択するまで前記選択動作を実行するように構成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載の出力遅延調整回路。

【請求項 5】 前記出力回路は、入力端子と出力端子との間に組み合わせ回路、プリバッファ、メインバッファを備え、前記出力端子から出力される信号、または前記プリバッファに入力される信号を前記出力信号として前記位相差検出手段に入力することを特徴とする請求項 1

ないし 4 のいずれかに記載の出力遅延調整回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置におけるクロック同期方式の複数の出力回路において、各出力回路の出力端子における遅延がそれぞれ異なることによる AC 特性の変動を最小限に抑えることを可能にした出力遅延調整回路に関するものである。

## 【0002】

【従来の技術】半導体装置に設けられる出力回路は、一般的にシステムボード上で他の半導体装置と接続され、出力端子において AC タイミングが規定されている。近年、半導体装置の動作スピードの向上化でサイクルタイムが短くなり、製造上のマージン、特性のバラツキ、温度の変化、電源電圧の変化等で、益々このような AC タイミングの要求は厳しくなっている。このような要請に応えるために、例えば、特開平 10-112182 号公報に開示されているように、シンクロナス半導体メモリの出力タイミングに関して、外部クロックに出力タイミングを同期させる構成が提案されている。同様な技術は、特開平 8-154051 号公報、特開平 11-72540 号公報においても提案されており、例えば、特開平 8-154051 号公報の技術では、出力しようとするクロックを多段遅延素子で遅延させたもののうち外部入力信号に同期するものを選択して出力する構成である。

## 【0003】

【発明が解決しようとする課題】これらの公報に開示された技術では、入力信号と出力信号を位相比較し、その位相比較結果に基づいて出力信号の遅延量を変化させてその出力タイミングを調整する技術であるため、同期がとれていない初期の時点においても出力が生じることになり、その初期の時点、すなわち回路が動作を開始した直後における AC 特性の要求を満たすことが難しいという問題が生じる。また、前記各公報の技術は一つの回路に対して適用するものであり、半導体装置のクロックで同期される複数の出力回路間において、回路やレイアウト、またはプロセス若しくは温度変化や電源電圧等の変動により、出力データの遅延が複数の出力回路毎にそれぞれ違うことで複数の出力回路間における AC 特性の変動が生じるような場合に、複数の出力回路間のそれぞれにおいて出力タイミングを変化させる構成では、複数の回路間での各出力タイミングの位相を合わせることは困難になり、各出力回路間における AC 特性の変動を抑制することは困難になる。

【0004】本発明の目的は、クロック動作される複数の出力回路の各出力端子間における AC 特性の変動を最小限に抑えることを可能にした出力遅延調整回路を提供するものである。また、本発明の目的は、回路の動作直後から AC 特性の変動が少ない出力遅延調整回路を提供

するものである。

#### 【0005】

【課題を解決するための手段】本発明は、入力信号を所要の遅延時間をもって出力する出力回路であって、前記入力信号をラッチするためのラッチ手段と、基準となるクロックから遅延量の異なる複数の遅延クロックと遅延量が最大の比較基準クロックとを生成する遅延クロック生成手段と、前記複数の遅延クロックを選択して前記ラッチ手段のラッチ入力クロックとするクロック選択手段と、前記出力回路の出力信号と前記比較基準クロックの位相差を検出し、その位相差に基づいて前記クロック選択手段でのクロック選択を制御する位相差検出手段とを含む遅延調整回路を備えており、前記ラッチ手段は前記ラッチ入力クロックをスルーして前記出力回路から出力させるように構成され、前記位相差検出手段は前記出力信号が前記比較基準クロックよりも遅延されているときに前記クロック選択手段を駆動する位相差検出信号を出力し、前記クロック選択手段は前記位相差検出信号を受けて前記遅延クロック生成手段から遅延量の大きい順に前記遅延クロックを選択することを特徴とする。

【0006】ここで、電源オン時に出力されるパワーオンリセット信号に基づいてリセット信号が生成されるように構成され、前記ラッチ手段は前記リセット信号がアクティブのときに前記ラッチ入力クロックをスルーするように構成され、前記位相差検出手段は前記リセット信号がアクティブのときに前記出力信号と比較基準クロックとの位相差を検出するように構成され、前記クロック選択手段は前記リセット信号がアクティブのときに前記遅延クロック生成手段の遅延クロックの選択を行うように構成される。また、前記比較基準クロックは、前記出力回路において許容される最大の遅延量に設定され、前記遅延クロックは前記比較基準クロックの遅延量よりも少ない遅延量の異なる遅延クロックとして生成される。

【0007】本発明においては、所要の遅延量の第1の遅延クロックが出力回路により遅延されて出力される出力信号と、当該出力回路において許容される最大の遅延量の比較基準クロックとの位相差を検出し、前記出力信号の位相が比較基準クロックの位相よりも遅れている場合に、前記第1の遅延クロックをそれよりも遅延量の少ない第2、第3の遅延クロックに順次切り替えて選択することで、ラッチ手段においてスルーされるラッチ入力クロックを前倒し、すなわち位相を前にずらすことで、相対的に見かけ上の出力遅延を小さくし、クロックで同期される複数の出力回路間におけるAC特性の変動を最小限に押さえることが可能になる。

#### 【0008】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の出力遅延調整回路の一つの回路のブロック図であり、組み合わせ回路12、プリバッファ13、メインバッファ14を含む出力回路

に、遅延調整回路11を設けた構成となっている。入力端子INAに入力される内部データ信号Aは、遅延調整回路11、組み合わせ回路12、プリバッファ13、メインバッファ14を通して出力端子OUTAから出力されるが、前記遅延調整回路11において、出力端子OUTAでの出力タイミングが調整されるように構成されている。前記遅延調整回路11は、それぞれ詳細を後述するフリップフロップ回路(F/F回路)1と、遅延クロック生成回路2と、位相差検出回路3と、クロック選択回路4とで構成されている。なお、前記プリバッファ13及びメインバッファ14は、当業者にとってよく知られており、その詳細な構成の説明は省略する。

【0009】前記F/F回路1は、リセット信号RESETの入力期間中にクロック端Cに入力されるラッチ入力クロックDCLKをスルーで出力端Qに出力する構成となっている。図2はその一例の回路図であり、NANDゲート、インバータ、トランスファゲート等で構成されており、実使用状態においては、内部データ信号Aがデータ端Dに入力され、前記ラッチ入力クロックDCLKの立ち上がりタイミングで内部データ信号Aは出力端Qへ出力される。リセット信号RESETが入力されてハイレベルの期間中には、前記内部データ信号Aは出力端Qに出力されず、前記ラッチ入力クロックDCLKがスルーで出力端Qへ出力される。

【0010】前記遅延クロック生成回路2は、チップ内部のシステムクロックCLKから複数の異なる遅延値のクロックC0～C3を生成するとともに、比較基準クロックMAX-DELAYを生成する構成となっている。図3はその一例の回路図であり、前記システムクロックCLKに対してそれぞれ2NS(ナノ秒)の遅延を有する第1から第5の5個の遅延素子D1～D5を縦続接続するとともに、第1の遅延素子D1の入力側と、第1ないし第3の遅延素子D1～D3の出力側からそれぞれ遅延クロックC3、C2、C1、C0を出力する。すなわち、これらの遅延クロックC3、C2、C1、C0の各遅延量はそれぞれ0NS、2NS、4NS、6NSとなる。また、前記各遅延クロックC3～C0はそれぞれANDゲートにおいて後述するクロック選択信号S3～S0により選択され、前記ラッチ入力クロックDCLKとして出力される。また、前記第5の遅延素子D5からはシステムクロックCLKに対して10NSの遅延量を持つ比較基準クロックMAX-DELAYが生成されて出力される。

【0011】前記位相差検出回路3は、前記メインバッファ14の出力POAと、前記遅延クロック生成回路2から出力される比較基準クロックMAX-DELAYとを比較して前記クロック選択回路4でのクロック選択を行なう位相差検出信号UPを出力する構成となっている。図4はその一例の回路図であり、前記遅延クロック生成回路2から出力された比較基準クロックMAX-D

ELAYが入力されると、遅延素子、インバータ、ANDゲートで構成される立ち上がりエッジ検出回路30で立ち上がりエッジを検出し、立ち上がりエッジ信号R-EDGを出力する。また、前記比較基準クロックMAX-DELAYと前記出力端子に出力される出力POAとを排他的論理和ゲートで比較して比較信号EORを出力し、さらに前記エッジ信号R-EDG、EOR、RESET信号をANDゲートでとり、その出力をシュミットバッファを通して位相差検出信号UPとして出力する。これにより、リセット信号RESETの入力期間中以外

は位相差検出信号UPが出力されず、また、比較基準クロックMAX-DELAYよりも出力POAの位相が早い場合は、位相差検出信号UPが出力されない構成になっている。なお、シュミットバッファは、比較基準クロックMAX-DELAYと出力POAの微妙な位相ずれによるヒゲにより誤動作を防止するためのものである。【0012】前記クロック選択回路4は、電源投入時にアクティブとなるPOWER ONRESET信号により、クロック選択信号S0を出力し、前記位相差検出回路3からの位相差検出信号UPによりクロック選択信号S1、S2、S3を順次的に出力する構成となっている。図5はその一例の回路図であり、複数のANDゲート、NORゲート及びF/F回路40、41によりUPカウンタの構成とされている。電源投入時にアクティブとなるパワーオンリセット信号POWER ONRESETの立ち上がり時にのみ、初期値設定としてクロック選択信号S0を選択する。そして、位相差検出回路3から出力された位相差検出信号UPがアクティブになればクロック選択信号はS0からS1に切り替わり、さらに位相差検出信号UPがアクティブになれば、クロック選択信号はS1からS2へ、さらに同様にS2からS3へと切り替わる。なお、一度S3が選択されると、それ以上位相差検出信号UPがアクティブになったとしても、パワーオンリセット信号POWER ONRESETがアクティブの間はS3が選択された状態となる。

【0013】このように、構成された前記遅延調整回路11の動作は、遅延クロック生成回路2は、クロック選択回路4から選択されたクロック選択信号S0～S3を受け、システムクロックCLKから各々の遅延値を持ったクロックC0～C3を選択し、ラッチ入力クロックDCLKとして出力する。また、遅延クロック生成回路2からは、許容できる最大の遅延差を持たせた比較基準クロックMAX-DELAYを出力する。位相差検出回路3は、前記ラッチ入力クロックDCLKがF/F回路1から組合せ回路12、プリバッファ13、メインバッファ14を通して出力端子OUTAから出力される信号POAと、前記比較基準クロックMAX-DELAYとの位相差を検出し、比較基準クロックMAX-DELAYよりも出力端子の信号が遅れている場合に位相差検出信号UPをアクティブにする。クロック選択回路4は電源

投入時にはパワーオンリセット信号POWER ONRESETによりクロック選択信号S0を選択して出力するが、位相差検出信号UPがアクティブになる度にクロック選択信号をS0からS3まで順次切り替えながら出力する。したがって、遅延クロック生成回路2から出力されるラッチ入力クロックDCLKは、位相差検出信号UPがアクティブになる度に遅延クロックC0からC3まで順次切り替えながら選択されることになる。

【0014】次に、図1の遅延調整回路を含む出力回路の動作を説明する。なお、本実施形態の出力回路の前提条件として、端子出力のクロック同期タイミングを決めるF/F回路1に入力されるクロックは、チップ内のシステムクロックCLKに対し、ある程度の遅延を持ったクロック、ここではシステムクロックCLKに対して6NS位相が遅れたクロックが入力されても、F/F回路1に入力する内部データ信号が筒抜け等の不具合動作が起きないことを確認、設定されていることを条件としている。また、予めチップの設計時にF/F回路1のクロック入力から出力端子A迄の出力遅延許可値を決めておく。この実施形態では出力遅延許可値を4NSと決定しており、そのために前記位相差検出回路3に供給する前記比較基準クロックMAX-DELAYは4NSの遅延を持たせている。なお、本発明は複数の出力端子において適応され、その複数の端子間でのAC特性の改善を図るものである。本発明の動作をより分かりやすくする為、2本の出力端子間において、遅延調整回路11が動作する以前の状態と、その後、遅延調整回路11が動作して行く過程をタイミング図を用いて説明する。

【0015】まず、遅延調整回路11が動作する以前の状態を図6のブロック図、及びタイミングチャートで説明する。内部データ信号Aが入力される出力回路CAの出力端子OUTAにおける出力遅延は、F/F回路1から8NS遅延されており、また、内部データ信号Bが入力される出力回路CBの出力端子OUTBにおける出力遅延は、F/F回路1から4NS遅延されているものとする。なお、ここでは便宜的に出力回路CAのラッチ入力クロックをDCLK'、出力回路CBのラッチ入力クロックをDCLKとして示しているが、両者は同相である。そのため、内部データ信号AをADDR信号とし、内部データ信号BをASTB信号とし、かつ、入力クロックの1周期を30NSとすれば(Dutyは50%)、タイミングチャートからアドレスセットアップ時間(tSAST)のマージンは11NS(=15NS+4NS-8NS)となる。

【0016】次に、遅延調整回路11が動作していく過程を説明する。図7のタイミングチャートに示すように、出力回路の電源投入時のパワーオンリセット信号POWER ONRESETにより、クロック選択回路4が初期化されクロック選択信号S0が選択される。すると、遅延クロック生成回路2では、このクロック選択

信号S0を受け、F/F回路1に入力されるラッチ入力クロックDCLKとして遅延クロックC0を出力する。また、パワーオンリセット信号POWER ON RESETにより所定時間の間だけ継続されるRESET信号入力期間中は、F/F回路1に入力されるラッチ入力クロックDCLKは出力端Qへスルーで出力されるため、当該出力端Qからのクロックは組み合わせ回路12、プリバッファ13、メインバッファ14を通り出力端子OUTAにまで至ると同時に一部は出力POAとして位相差検出回路3に入力される。一方、遅延クロック生成回路2で生成され、前記したように予め設計時に決めておいた比較基準クロックMAX-DELAYが位相差検出回路3に入力される。

【0017】そして、位相差検出回路3では、図8のタイミングチャートのように、出力POAと比較基準クロックMAX-DELAYとの位相差を検出し、立ち上がりエッジ信号R-EDGと比較信号EORを出力する。そして、出力POAよりも比較基準クロックMAX-DELAYの位相が進んでいる場合には位相差検出信号UPを出力する。なお、比較基準クロックMAX-DELAYよりも出力POAの位相が進んでいる場合（遅延量が少ない場合）、あるいは両者の遅延が等しい場合には、立ち上がりエッジ信号R-EDGと比較信号EORの論理積をとり、位相差検出信号UPを出力しない。

【0018】前記位相差検出信号UPを受けて、クロック選択回路4では位相差検出信号UPをカウントする。出力回路CAでは、図8(a)のように、遅延クロック生成回路2のP点（図3参照）から出力POA迄の遅延時間が8NSであり、比較基準クロックMAX-DELAYとの位相差が4NSあるため位相差検出信号UPがアクティブになる(①)。これにより、クロック選択回路4はクロック選択信号S0からS1へ切替わり、これに伴い遅延クロック生成回路2からのラッチ入力クロックDCLKは遅延クロックC0からC1へ切替えられる(②)。

【0019】その後も同様に、比較基準クロックMAX-DELAYと出力POAとの位相差をチェックし、ここでは位相差が2NSあるため、位相差検出信号UPがアクティブになる(③)。これにより、クロック選択信号はS1からS2へ切替わり、ラッチ入力クロックDCLKは遅延クロックC1からC2へと切替えられる(④)。

このようにして、ラッチ入力クロックDCLKとしての遅延クロックの切り替えは、リセット信号RESETがアクティブ状態でシステムクロックCLKが動作している期間中に、比較基準クロックMAX-DELAYと出力POAとの位相差が無くなるか、遅延クロックC3へ切替わる迄行われる。なお、クロック選択回路4ではクロック選択信号S3を選択後は、位相差検出信号UPがアクティブになってもパワーオンリセット信号POWER ON RESETが入力されない限りクロ

ック選択信号S3を選択する回路となっている。これにより、位相差検出回路3における比較基準クロックMAX-DELAYと出力POAの遅延値の差が無くならない場合に、位相差検出信号UPが出力しつづけてもクロック選択信号S3を選択し続けることになる。

【0020】一方、出力回路CBでは、図8(b)のように、遅延クロック生成回路2のP点（図3参照）から出力POB迄の遅延時間が4NSであり、比較基準クロックMAX-DELAYとの位相差が無いため位相差検出信号UPが出力されない(⑤)。これにより、クロック選択回路4はクロック選択信号S0を選択しつづけて、ラッチ入力クロックDCLKは遅延クロックC0が選択される。

【0021】以上の動作により、出力回路CAの出力端子OUTAと、出力回路CBの出力端子OUTBは、初期には出力POAが出力POBに比べて4NS遅れていたが、出力回路CAにおけるラッチ入力クロックDCLKが遅延クロックC0から遅延クロックC2に変更されることにより、両出力POAとPOBの遅延差が無くなることになる。

【0022】この結果、図9のタイミングチャートから判るように、出力回路CAのF/F回路1に対する初期状態のラッチ入力クロックDCLK'が設定後の状態のラッチ入力クロックDCLK'になることで、出力回路CAのADDR信号と出力回路CBのASTB信号からなるアドレスセットアップタイム(tSAST)は、図6に示した従来の11NSから、15NS(=15NS+4NS-8NS+4NS)となり、4NSのアドレスセットアップマージンが確保できたことになる。

【0023】また、出力回路の遅延調整回路自身が遅延量を判断し出力タイミングを変化させるため、回路やレイアウト、特性のバラツキ、温度や電源電圧の変化があっても、設定された範囲内でAC特性を保証することが出来る。さらに、電源投入からリセット信号RESETの入力期間中に遅延調整を完了することができる構成になっているため、リセット解除後には、出力遅延調整が行われた状態になっており、直ちに所望の動作が期待できることになる。

【0024】図10は本発明の第2の実施形態のブロック図であり、図1と等価な部分には同一符号を付してある。この第2の実施形態では、組み合わせ回路12の出力を出力POAとして位相差検出回路3において比較基準クロックMAX-DELAYとの位相差を検出するように構成している点が前記第1の実施形態とは異なっている。すなわち、プリバッファ13の入力からメインバッファ14を通り出力端子OUTAから出力される迄の遅延値は、複数の出力回路においてはほぼ同じ遅延量と見なして良い場合がある。したがって、これらバッファでの遅延量を予め計算しておけば、組み合わせ回路12の出力に基づいて位相差検出回路3において位相差を検出

すれば、前記第1の実施形態と同様に複数の出力回路の各出力の遅延差を無くすることが可能になる。

【0025】

【発明の効果】以上説明したように本発明は、電源投入に際してのリセット時に、ラッチ手段をスルーされた所要の遅延量の第1の遅延クロックが出力回路により遅延されて出力される出力信号と、当該出力回路において許容される最大の遅延量の比較基準クロックとの位相差を検出し、当該出力信号の位相が比較基準クロックの位相よりも遅れている場合に、前記第1の遅延クロックをそれよりも遅延量の少ない第2、第3の遅延クロックに順次切り替えて選択することで、前記ラッチ手段においてスルーされるラッチ入力クロックを前倒し、すなわち位相を前にずらすことで、相対的に見かけ上の出力遅延を小さくすることができる。これにより、クロック動作される複数の出力回路の各出力端子間におけるAC特性の変動を最小限に抑えることが可能になり、かつ出力回路の動作直後からAC特性の変動を抑制することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の出力遅延調整回路のブロック図である。

【図2】F/F回路の回路図である。

【図3】遅延クロック生成回路の回路図である。

【図4】位相差検出回路の回路図である。

【図5】クロック選択回路の回路図である。

\* 【図6】従来における遅延の異なる2つの出力回路でのAC特性を示す図である。

【図7】パワーオンリセットによるリセット動作のタイミングチャートである。

【図8】遅延の異なる2つの出力回路での各遅延調整動作を説明するためのタイミングチャートである。

【図9】本発明における遅延の異なる出力回路でのAC特性を示す図である。

10 【図10】本発明の第2の実施形態の出力遅延調整回路のブロック図である。

【符号の説明】

1 F/F回路

2 遅延クロック生成回路

3 位相差検出回路

4 クロック選択回路

11 遅延調整回路

12 組み合わせ回路

13 プリバッファ

14 メインバッファ

20 CLK システムクロック

DCLK, DCLK' ラッチ入力クロック

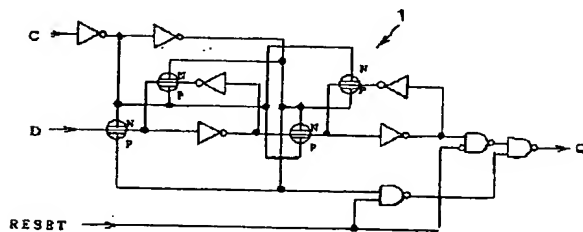
MAX-DELAY 比較基準クロック

POA, POB 出力

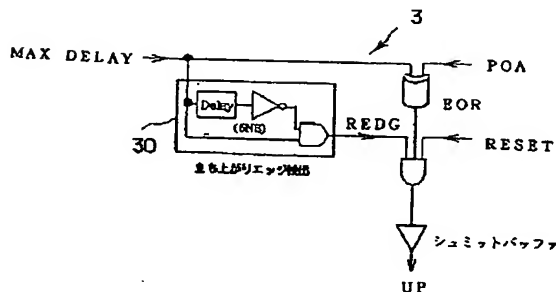
RESET リセット信号

POWER ON RESET パワーオンリセット信号

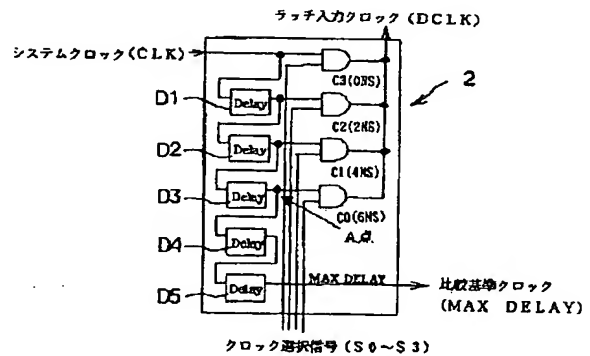
【図2】



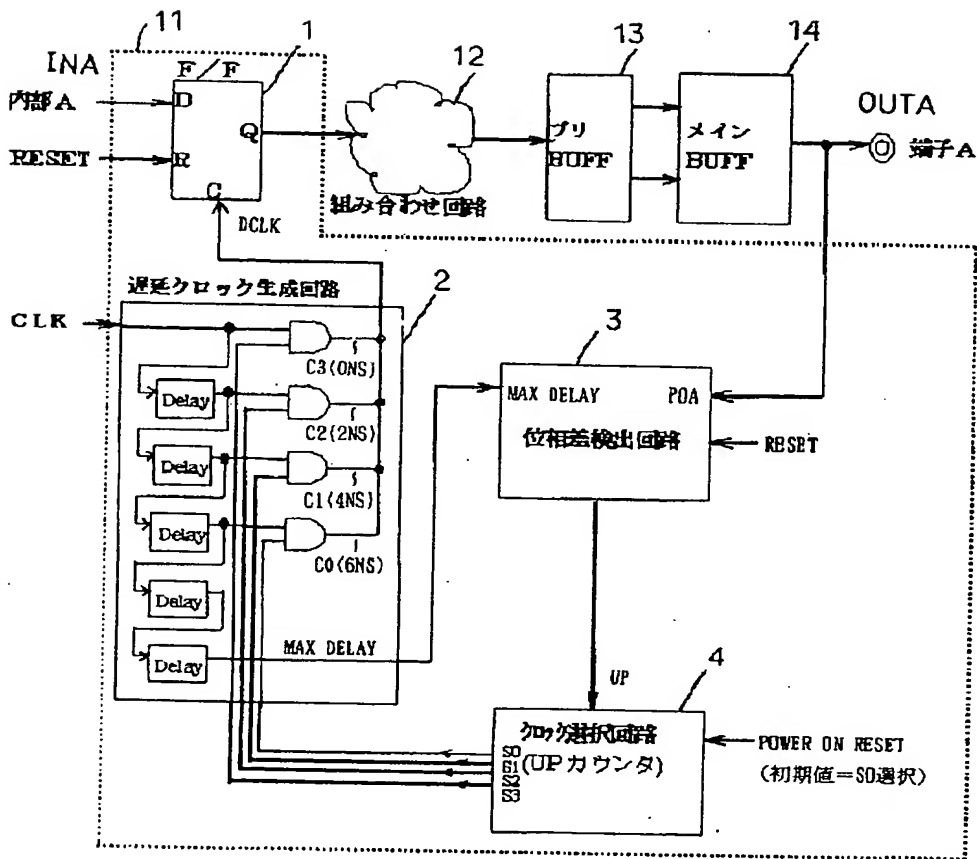
【図4】



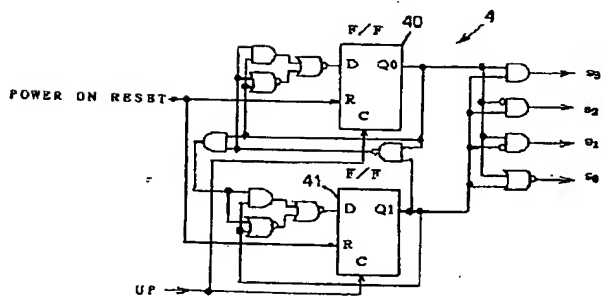
【図3】



【图 1】

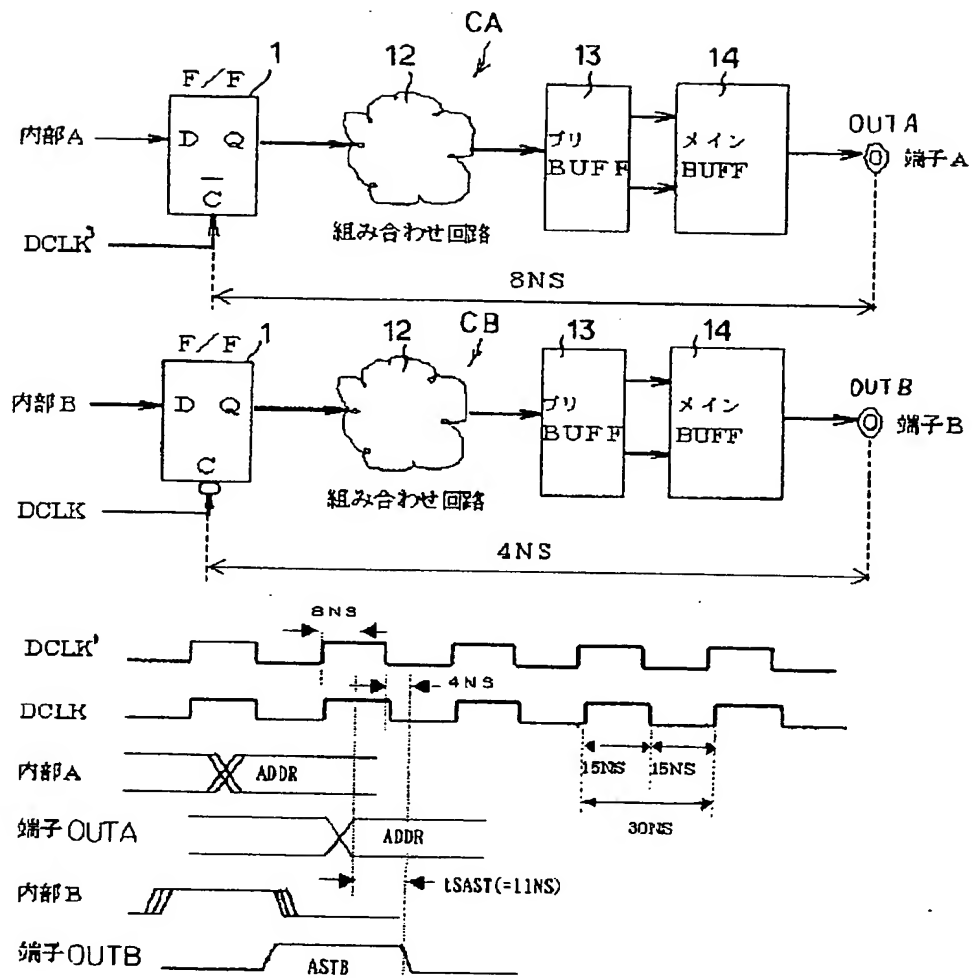


【図5】





【図6】



【図7】

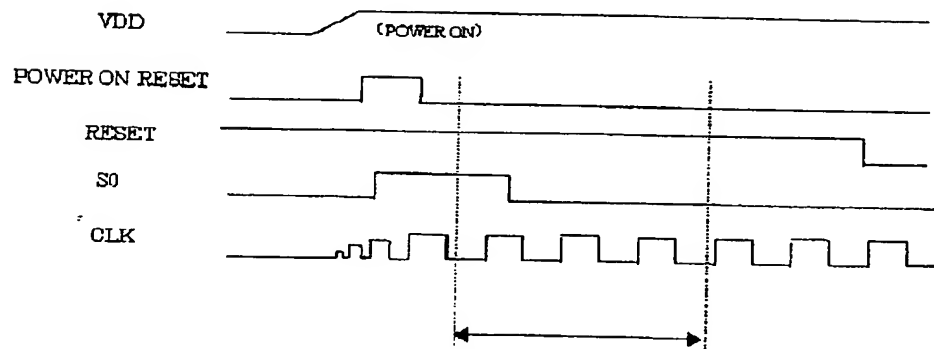
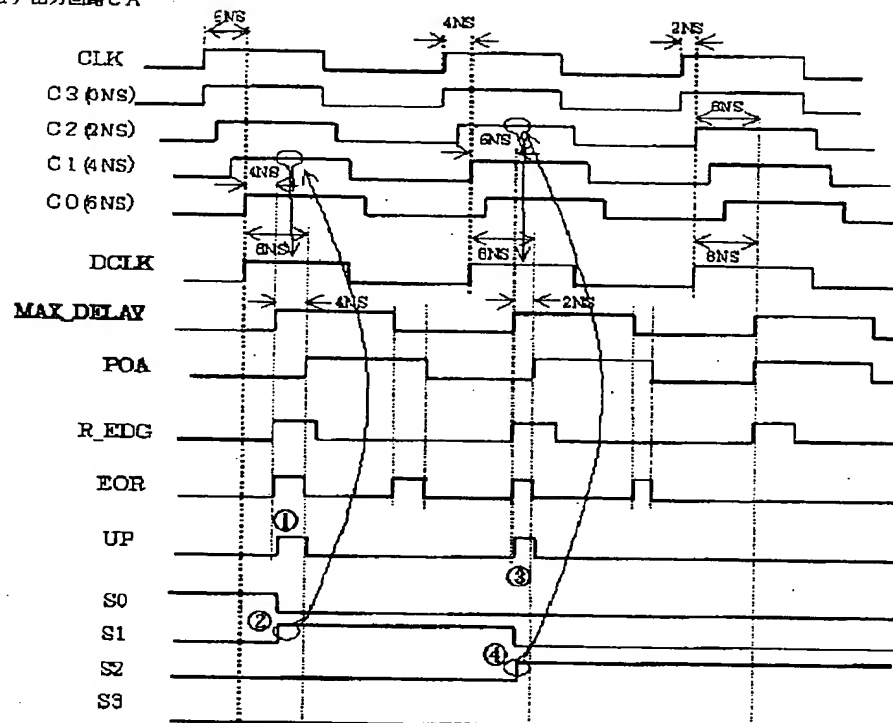


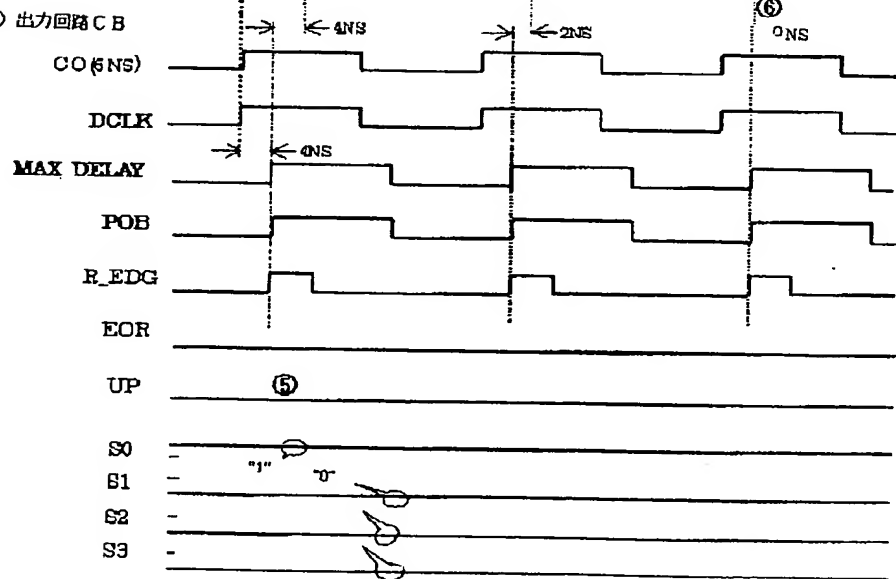
図8のタイミングチャート

【図8】

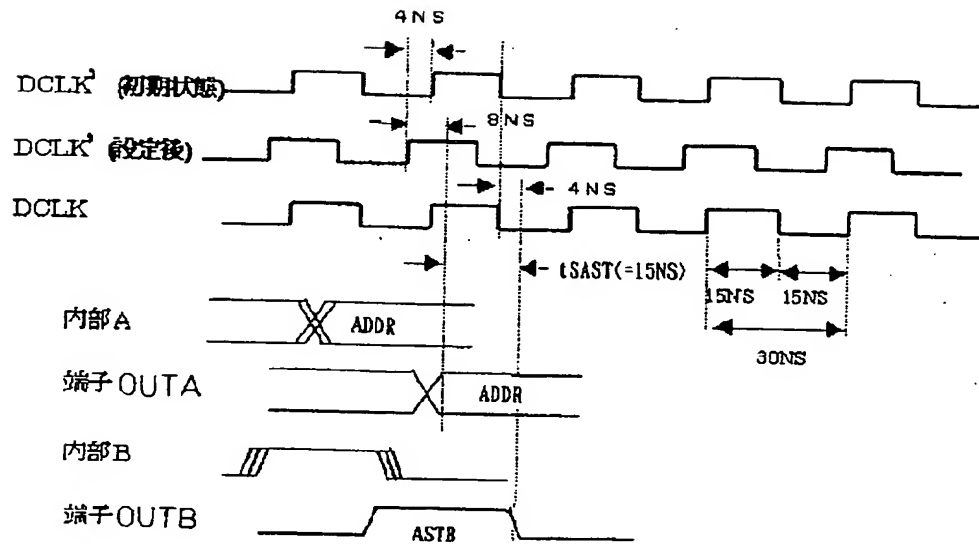
(a) 出力回路CA



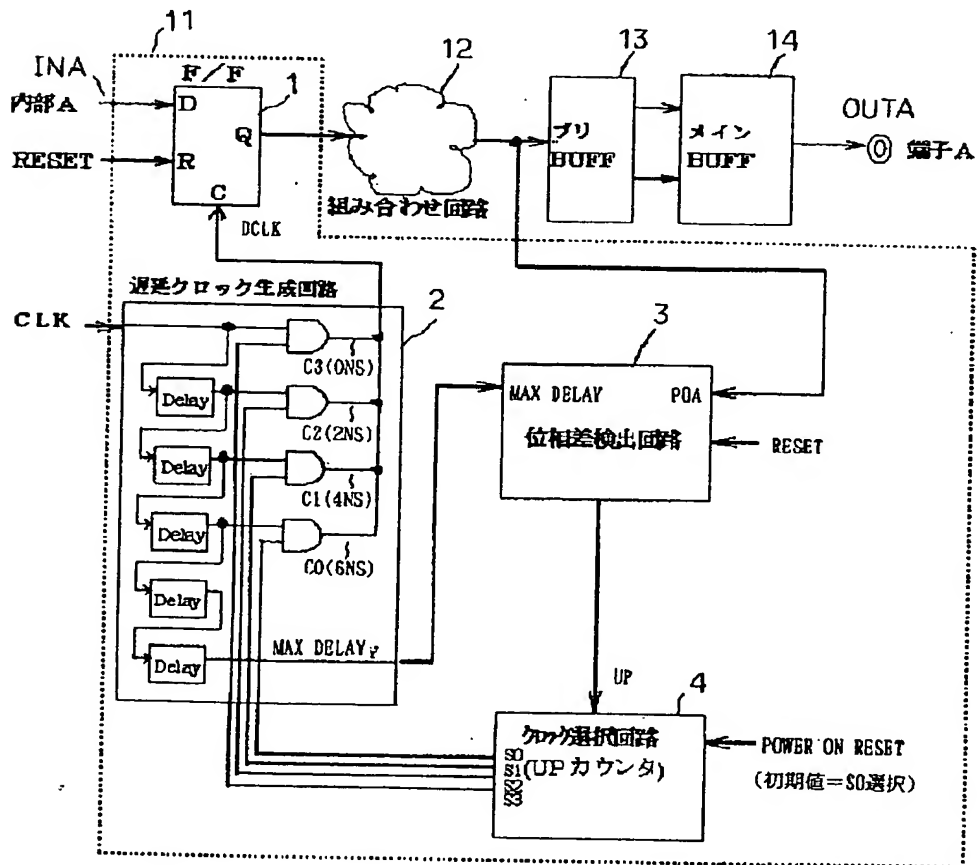
(b) 出力回路CB



【図9】



【図10】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

H03L 7/081

FI

キーワード (参考)

H03L 7/08

J

Fターム(参考) 5B077 AA01 FF11 GG15  
5B079 BA20 BC03 CC02 DD06 DD20  
5J001 BB05 BB08 BB10 BB11 BB12  
BB13 BB22 CC00 DD09  
5J106 AA04 CC21 CC58 CC59 DD05  
DD17 DD24 DD26 DD42 DD43  
DD48 GG10 HH10 KK12

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**